

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-340029  
(43)Date of publication of application : 24.12.1996

(51)Int.Cl. H01L 21/66  
H01L 21/321

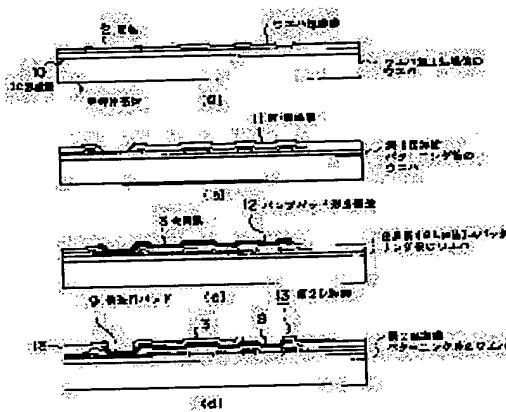
(21)Application number : 07-144443 (71)Applicant : SONY CORP  
(22)Date of filing : 12.06.1995 (72)Inventor : NISHIYAMA KAZUO  
TANIGUCHI YOSHIKUNI

## (54) FLIP CHIP IC AND ITS MANUFACTURE

(57)Abstract:

**PURPOSE:** To enable characteristics inspection of wafers to conduct with the same probe card, and exclude direct contact of a probe with a bump, by connecting a pad for inspection with a bump pad formed on a semiconductor substratum by using a metal film.

**CONSTITUTION:** As the structure of a flip chip IC, a pad 9 for inspection connected with a bump 8 on which a solder bump 5 is formed is installed. The pad 9 for inspection is connected with the bump pad 8 formed on a semiconductor substratum 1 by using a metal film 3, which is formed by sequentially sputtering, e.g. chrome, copper and gold. The metal film 3 improves the adhesion between an electrode 2 and the bump, and prevents mutual diffusion. Instead of the metal film, aluminum and aluminum alloy, e.g. Al-Si alloy and Al-Si-Cu alloy may be used.



## LEGAL STATUS

[Date of request for examination] 13.12.2000

[Date of sending the examiner's decision of rejection] 16.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of issue]

[Date of extinction of rights]

Copyright (C) 1998,2003 Japan Patent Office

JAPANESE [JP,08-340029,A]

---

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION TECHNICAL  
PROBLEM MEANS OPERATION EXAMPLE DESCRIPTION OF DRAWINGS DRAWINGS

---

[Translation done.]

## \* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] The flip chip IC which connects the bump pad and checking pad which were formed on the semi-conductor base by the metal membrane, and changes.

[Claim 2] The flip chip IC according to claim 1 characterized by being the multilayers to which said metal membrane changes from chromium, copper, and gold.

[Claim 3] The flip chip IC according to claim 1 characterized by said metal membrane being aluminum or an aluminum alloy.

[Claim 4] On a semi-conductor base, the wafer which it comes to cover by the wafer protective coat except for an electrode is prepared, and said electrode is removed on it. By the 1st protective coat A wrap process, Said electrode, a bump pad formation field, and the process that forms the meantime by the metal membrane, The patterning process of the 2nd protective coat which forms a bump pad to a checking pad and said bump pad formation field on said electrode, The process which carries out pattern NINGU of the resist film except for said bump pad, The manufacture approach of a flip chip IC which consists of the process which forms a solder layer, the lift-off process at which said resist film is exfoliated, a solder layer is prepared in said bump pad, and a checking pad is exposed, and the wetback process which heats the solder layer on said bump pad, and is made into a spherical bump.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the flip chip IC and its manufacture approach of the structure which carries out field junction with the electrode which formed the bump who consists of a spherical metal on the electrode connected with internal wiring of IC, and was formed in the front face of a printed wiring substrate.

[0002]

[Description of the Prior Art] It has been a big technical problem how the packaging density of the components carried in a printed wiring substrate is raised according to the demand of a miniaturization of electronic equipment in recent years. As the one technique of raising packaging density, there is use of the component called a flip chip IC. As shown in drawing 3, the electrode 2 connected to internal wiring of IC etc. on the semi-conductor base 1, and on it, a flip chip IC carries out the laminating of a layer insulation layer, a surface protective layer, and the metal membrane (BLM film) 3, exposes a part of metal membrane 3, forms the electrode pads 4a and 4b, and forms the spherical projection which consists of the solder called a bump 5 on this.

[0003] And to the land electrode on the prepared printed wiring substrate, alignment is carried out and field junction of this flip chip IC is carried out so that a bump's 5 location may be in agreement. Since a flip chip IC does not use lead wire for connection with a printed wiring substrate, it is very advantageous to raising packaging density.

[0004] Furthermore, many bumps need to be formed in each IC with large-scale-izing of IC recently. In order to fill this demand, the configuration which removes a location is devised from the configuration which newly forms an electrode in the location pulled out with a lead from the electrode currently formed in the wafer of the usual IC, or the array of an electrode. These are called below electrode pad 4a area-ized in the former, and electrode pad 4b which rearranged the latter, as shown in drawing 3.

[0005] It is important in which phase on the other hand, a property is inspected when in a bare chip like this kind of flip chip IC, and it needed to \*\*\*\*\* and inspect [ as opposed to / at least / the wafer after a wafer processing process ] to the electrode, and needed to \*\*\*\*\* and inspect by the bump also to the wafer after a bump formation process. Although inspected in inspection of this conventional flip chip IC by \*\*\*\*\* by the bump who completed, destruction of the configuration of the bump by \*\*\*\*\* at this time is also a big problem.

[0006] For example, if a probe 6 is directly contacted by the bump 5 as shown in drawing 4, destruction 5a will be produced in the contact section.

[0007] Moreover, there are some which are called the probe card 7 as shown, for example in drawing 5 as a fixture which inspects by \*\*\*\*\* to an electrode. This prepares opening in the substrate made of resin, and makes the probe (needle) 6 which consists of the conductor it is [ the periphery of this opening ] elastic face caudad. A different thing for every IC wafer of the object which inspects the number and the location at a tip of this probe is prepared.

[0008] In the above-mentioned flip chip IC, since at least two inspection was conducted, two kinds of probe cards were needed.

[0009]

[Problem(s) to be Solved by the Invention] Then, the technical problem of this invention is offering the structure and its manufacture approach of a flip chip IC of the structure being able to use the same probe card and a direct probe's not being contacted by the bump in the characteristic inspection of the wafer after a wafer processing process, and the characteristic inspection of the wafer after bump formation.

[0010]

[Means for Solving the Problem] In order to solve this technical problem, in invention concerning claim 1, it considered as the configuration of a flip chip IC which connects the bump pad and checking pad which were formed on the semi-conductor base by the metal membrane, and changes.

[0011] In invention concerning claim 2, it considered as the configuration of the flip chip IC according to claim 1 characterized by being the multilayers to which a metal membrane changes from chromium, copper, and gold.

[0012] In invention concerning claim 3, it considered as the configuration of the flip chip IC according to claim 1 characterized by a metal membrane being aluminum or an aluminum alloy.

[0013] In invention concerning claim 4, the wafer which it comes to cover by the wafer protective coat except for the electrode on a semi-conductor base is prepared, and said electrode is removed on it. By the 1st protective coat A wrap process, An electrode, a bump pad formation field, and the process that forms the meantime by the metal membrane, The patterning process of the 2nd protective coat which forms a bump pad to a checking pad and a bump pad formation field on an electrode, The process which carries out pattern NINGU of the resist film except for a bump pad, and the process which forms a solder layer, The resist film was exfoliated, the solder layer was prepared in the bump pad, and it considered as the configuration of the manufacture approach of a flip chip IC which consists of a lift-off process at which a checking pad is exposed, and a wetback process which heats the solder

layer on a bump pad and is made into a spherical bump.

[0014]

[Function] In invention of claim 1, a needle is stood and inspected to a checking pad.

[0015] In invention of claim 2, a means to connect the meantime with an inspection pad at formation and coincidence of a metal membrane required for a bump pad is formed.

[0016] In invention of claim 3, the metal membrane was used as aluminum or an aluminum alloy, and it mitigated that a checking pad corroded in the case of lift off.

[0017] In invention of claim 4, the wafer which comes to cover a semi-conductor base top by the wafer protective coat except for an electrode is prepared, and it covers by the 1st protective coat except for said electrode on it. An electrode and a bump pad formation field, Patterning of the 2nd protective coat which forms the meantime by the metal membrane and forms a bump pad to a checking pad and a bump pad formation field on an electrode is carried out. A solder layer is formed, the resist film is exfoliated, a solder layer is prepared in a bump pad, pattern NINGU of the resist film is carried out except for a bump pad, a checking pad is exposed and lift off is carried out, and the solder layer on a bump pad is heated and it considers as a spherical bump.

[0018]

[Example] Hereafter, with reference to drawing 1 thru/or drawing 2, the flip chip IC and its manufacture approach of this invention are explained. Drawing 1 and drawing 2 are what showed the manufacture approach of the flip chip IC of this invention with the sectional side elevation of the wafer of each process. The wafer after wafer processing and (b) (a) The wafer after 1st protective coat pattern NINGU, The wafer after metal membrane (BLM film) covering and (d) (c) The wafer after the 2nd protective coat covering. For the wafer after thick-film resist pattern NINGU, and (f), the wafer after the solder stratification and (g) are [(e) / the wafer behind the wetback of a solder layer and (i) of the wafer after solder layer patterning and (h)] the wafers under probe inspection.

[0019] As structure of the flip chip IC of example 1 this invention, as shown in drawing 2 (h), the checking pad 9 connected with the bump pad 8 with which the solder bump 5 was formed is formed.

[0020] Consequently, if it inspects by contacting this checking pad 9 in a probe 6 in probe inspection of the flip chip IC after solder bump 5 formation as shown in (i), since a bump 5 will not be contacted, destroying a bump 5 is avoided. Moreover, since the location of this checking pad 9 is the same location as the electrode 2 of a wafer, the probe card used for the inspection after bump formation can use the same thing as what was used by inspection of a wafer.

[0021] The manufacture approach of an example 2, next the flip chip IC of this invention is explained. First, the IC formative layer 10 and the electrode 2 which consists of aluminum etc. on it are formed in the semi-conductor base 1 which consists of a silicon chip as shown in (a), and the wafer with which wafer protective coats, such as still thinner polyimide on it, were given is prepared at it. A probe is applied by the electrode 2 and, as for this wafer, a characteristic inspection is made.

[0022] Subsequently, except for the part of an electrode 2, pattern NINGU of the 1st protective coat 11, such as polyimide, is carried out, and as shown in (b), it becomes the whole surface.

[0023] Subsequently, it crosses to the field 12 in which an electrode 2 and a bump pad are formed, and a metal membrane (BLM film) 3 is formed. This metal membrane 3 carries out sputtering of chromium, copper, and the gold one by one, and forms them. This metal membrane 3 is called nothing and the BLM film (Ball Limiting Metal) in the operation which the adhesion between an electrode 2 and the bump who mentions later is raised, and prevents mutual diffusion. Consequently, a wafer as shown in (c) is obtained.

[0024] It can replace with this metal membrane, aluminum, an aluminum alloy, for example, an aluminum-Si system alloy, and the alloy of an aluminum-Si-Cu system can also be used, and there is effectiveness which raises corrosion-proof nature in the lift off performed at a next process in that case.

[0025] Subsequently, except for the part of an electrode 2, and the bump pad formation field 12, pattern NINGU of the 2nd protective coat 13 which consists of polyimide etc. is carried out on the whole surface, and the bump pad 8 is formed in the location of an electrode 2 in the location of the checking pad 9 and the bump pad formation field 12.

[0026] Subsequently, except for the circumference of the bump pad 8, pattern NINGU of the thick-film resist 14 is carried out. Consequently, a wafer as shown in (e) is obtained.

[0027] Subsequently, solder is vapor-deposited and the solder layer 15 is formed. Consequently, a wafer like (f) is obtained.

[0028] Subsequently, except for the circumference of the bump pad 8, the solder layer 15 on the resist film and the resist film is exfoliated. Consequently, the wafer with which the solder layer was left behind only on the bump pad 8 as shown in (g) is obtained.

[0029] Subsequently, if this wafer is put into a heating furnace, and is heated and a solder layer is fused, as shown in (h), a solder layer will be rounded off spherically. This is usually called a wet back process.

[0030] Subsequently, in the inspection process (i) of the wafer with which the bump was formed, the probe (needle) 6 of a probe card is \*\*\*\*\* (ed) to the checking pad 9, and the property of this wafer is inspected.

[0031] This invention can be carried out in the manufacture approach of the flip chip IC of this invention, without also changing the mask which it is only carrying out opening and uses the checking pad 9 for other processes in the pattern NINGU process (d) of the 2nd protective coat. Therefore, it compares with the conventional approach and there is also no factor of a cost rise.

[0032] Although one example explained a flip chip IC and its manufacture approach in the example of this invention, respectively, naturally the ingredient to be used and a production process can be chosen and carried out in the range which does not deviate from the pneuma of this invention.

[0033]

[Effect of the Invention] If a checking pad is contacted in a probe in probe inspection of the flip chip IC after solder bump formation according to this invention and it inspects so that clearly from the above explanation, since a bump

will not be contacted, destroying a bump is avoided.

[0034] Moreover, since this checking pad is the same location as the electrode in front of a bump formation process, the probe card used for the inspection after bump formation can use as it is what was used in wafer inspection.

---

[Translation done.]

## \* NOTICES \*

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is what showed the manufacture approach of the flip chip IC of this invention with the sectional side elevation of the wafer of each process, and, for (a), the wafer after wafer processing and (b) are [ the wafer after metal membrane (BLM film) covering and (d) of the wafer after 1st protective coat pattern NINGU and (c)) ] the wafers after the 2nd protective coat covering.

**[Drawing 2]** It is what showed the manufacture approach of the flip chip IC of this invention with the sectional side elevation of the wafer of each process, and, for the wafer after thick-film resist pattern NINGU, and (f), the wafers after the solder stratification (g) are [ (e) / the wafer behind the wetback of a solder layer and (i) of the wafer after solder layer patterning and (h)) ] wafers under probe inspection.

**[Drawing 3]** The perspective view of the usual flip chip IC.

**[Drawing 4]** The sectional side elevation of the conventional flip chip IC under inspection.

**[Drawing 5]** The perspective view of the probe card used for inspection of a flip chip IC.

**[Description of Notations]**

- 1 Semi-conductor Base
- 2 Electrode
- 3 Metal Membrane (BLM Film)
- 4a The area-sized electrode pad
- 4b The rearranged electrode pad
- 5 Bump
- 5a Destruction
- 6 Probe (Needle)
- 7 Probe Card
- 8 Bump Pad
- 9 Checking Pad
- 10 IC Formative Layer
- 11 1st Protective Layer
- 12 Bump Pad Formation Field
- 13 2nd Protective Coat
- 14 Thick-Film Resist
- 15 Solder Layer

---

**[Translation done.]**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-340029

(43) 公開日 平成8年(1996)12月24日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/66  
21/321

識別記号 庁内整理番号

F I  
H 01 L 21/66  
21/92

技術表示箇所  
E  
6 0 2 P  
6 0 4 T

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平7-144443

(22) 出願日 平成7年(1995)6月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 西山 和夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 谷口 芳邦

東京都品川区北品川6丁目7番35号 ソニー株式会社内

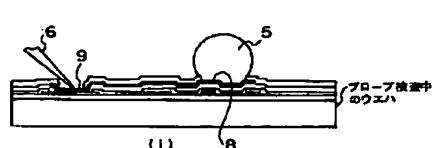
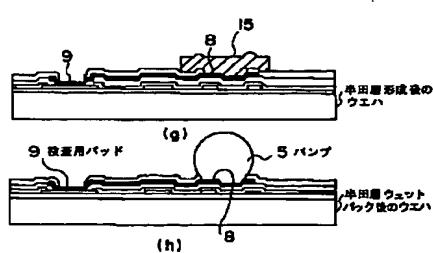
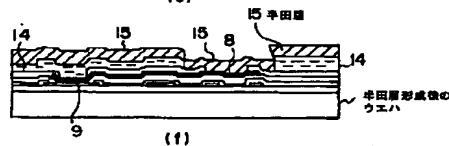
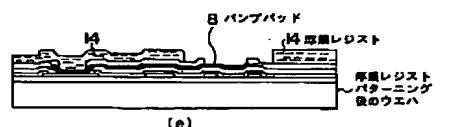
(54) 【発明の名称】 フリップチップIC及びその製造方法

(57) 【要約】

【目的】 検査工程において、バンプを損壊せず、検査用のプローブカードも兼用できるフリップチップIC及びその製造方法を提供する。

【構成】 バンプパッド8と検査用パッド9を金属膜3で接続し、検査用パッド9を表面に露出させた。

【効果】 検査用パッドにプローブを針立てる。プローブカードはウエハの検査に用いたものが兼用できる。



## 【特許請求の範囲】

【請求項1】 半導体基体上に形成されたバンプバッドと検査用バッドを金属膜により接続して成る、フリップチップIC。

【請求項2】 前記金属膜がクローム、銅、金から成る多層膜であることを特徴とする請求項1記載のフリップチップIC。

【請求項3】 前記金属膜がアルミニウムまたはアルミニウム合金であることを特徴とする請求項1記載のフリップチップIC。

【請求項4】 半導体基体上に、電極を除いてウエハ保護膜で覆ってなるウエハを用意し、

その上に前記電極を除いて第1保護膜で覆う工程と、前記電極とバンプバッド形成領域と、その間を金属膜で形成する工程と、

前記電極上に検査用バッドと、前記バンプバッド形成領域にバンプバッドを形成する第2保護膜のバターニング工程と、

前記バンプバッドを除いてレジスト膜をバターンニングする工程と、

半田層を形成する工程と、

前記レジスト膜を剥離し前記バンプバッドに半田層を設け、検査用バッドを露出させるリフトオフ工程と、

前記バンプバッド上の半田層を加熱し球状のバンプとするウェットバック工程とより成る、フリップチップICの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はICの内部配線と接続された電極上に球状の金属より成るバンプを形成し、印刷配線基板の表面に形成した電極と面接合する構造のフリップチップIC及びその製造方法に関する。

## 【0002】

【従来の技術】近年の電子機器の小型化の要求に応じて、印刷配線基板に搭載する部品の実装密度を如何にして上げるかが大きな技術的課題となっている。実装密度を上げる一つの手法として、フリップチップICと称される素子の利用がある。フリップチップICは例えば図3に示すように、半導体基体1上にIC等の内部配線に接続された電極2、その上に層間絶縁層、表面保護層、金属膜(BLM膜)3を積層し、金属膜3の一部を露出して電極バッド4a、4bを形成し、この上にバンプ5と称されるはんだ等から成る球状突起を形成したものである。

【0003】そしてこのフリップチップICは用意された印刷配線基板上のランド電極に対して、バンプ5の位置が一致するように位置合わせして面接合される。フリップチップICは印刷配線基板との接続にリード線を用いないので、実装密度を上げるには非常に有利である。

## 【0004】さらに、最近ICの大規模化に伴い、個々

のICに数多くのバンプを形成する必要が生じてきている。この要求を満たすため、通常のICのウエハに形成していた電極からリードによって引き出した位置に、新たに電極を形成する構成や電極の配列から位置を外す構成が考案されている。これらは、図3に示す様に、前者をエリア化された電極バッド4a、後者を再配置した電極バッド4bと以下称す。

【0005】一方この種のフリップチップICのようなペアーチップでは、何時、どの段階で特性を検査するかが重要であり、少なくともウエハ加工工程後のウエハに對しては、電極に針立てして検査し、またバンプ形成工程後のウエハに對してもバンプに針立てして検査する必要があった。この従来のフリップチップICの検査では、完成したバンプに針立てして検査を行なうが、この時の針立てによるバンプの形状の損壊も大きな問題である。

【0006】例えば、図4に示す如くバンプ5にプローブ6を直接接觸させると、接觸部に損壊5aを生じる。

【0007】また、電極に針立てして検査を行なう治具としては、例えば図5に示すようなプローブカード7と称するものがある。これは樹脂製の基板に開口を設け、この開口の周縁に弾力性のある導体から成るプローブ(針)6を下方に臨ませたものである。このプローブの数とその先端の位置は、検査する対象のICウエハ毎に異なったものが用意される。

【0008】前述のフリップチップICにおいては、少なくとも2回の検査を行なうので、2種類のプローブカードを必要としていた。

## 【0009】

【発明が解決しようとする課題】そこで本発明の課題は、ウエハ加工工程後のウエハの特性検査と、バンプ形成後のウエハの特性検査において、同一のプローブカードを用いることが出来、またバンプに直接プローブを接觸させない構造のフリップチップICの構造及びその製造方法を提供する事である。

## 【0010】

【課題を解決するための手段】かかる課題を解決するために、請求項1に係る発明においては、半導体基体上に形成されたバンプバッドと検査用バッドを金属膜により接続して成る、フリップチップICの構成とした。

【0011】請求項2に係る発明においては、金属膜がクローム、銅、金から成る多層膜であることを特徴とする請求項1記載のフリップチップICの構成とした。

【0012】請求項3に係る発明においては、金属膜がアルミニウムまたはアルミニウム合金であることを特徴とする請求項1記載のフリップチップICの構成とした。

【0013】請求項4に係る発明においては、半導体基体上の電極を除いてウエハ保護膜で覆ってなるウエハを用意し、その上に前記電極を除いて第1保護膜で覆う工

程と、電極とバンプバッド形成領域と、その間を金属膜で形成する工程と、電極上に検査用バッドと、バンプバッド形成領域にバンプバッドを形成する第2保護膜のバターニング工程と、バンプバッドを除いてレジスト膜をバターニングする工程と、半田層を形成する工程と、レジスト膜を剥離しバンプバッドに半田層を設け、検査用バッドを露出させるリフトオフ工程と、バンプバッド上の半田層を加熱し球状のバンプとするウェットバック工程とよりなるフリップチップICの製造方法の構成とした。

## 【0014】

【作用】請求項1の発明においては、検査用バッドに針を立て検査する。

【0015】請求項2の発明においては、バンプバッドに必要な金属膜の形成と同時に検査バッドとその間を接続する手段を形成する。

【0016】請求項3の発明においては、金属膜をアルミニュームまたはアルミニューム合金とし、リフトオフの際に検査用バッドが浸食されることを軽減した。

【0017】請求項4の発明においては、半導体基体上を電極を除いてウエハ保護膜で覆ってなるウエハを用意し、その上に前記電極を除いて第1保護膜で覆い、電極とバンプバッド形成領域と、その間を金属膜で形成し、電極上に検査用バッドとバンプバッド形成領域にバンプバッドを形成する第2保護膜をバターニングし、バンプバッドを除いてレジスト膜をバターニングし、半田層を形成し、レジスト膜を剥離し、バンプバッドに半田層を設け、検査用バッドを露出させてリフトオフし、バンプバッド上の半田層を加熱し球状のバンプとする。

## 【0018】

【実施例】以下、図1ないし図2を参照して本発明のフリップチップICとその製造方法について説明する。図1、図2は本発明のフリップチップICの製造方法を各工程のウエハの側断面図で示したもので、(a)はウエハ加工後のウエハ、(b)は第1保護膜バターニング後のウエハ、(c)は金属膜(BLM膜)被着後のウエハ、(d)は第2保護膜被着後のウエハ、(e)は厚膜レジストバターニング後のウエハ、(f)は半田層形成後のウエハ、(g)は半田層バターニング後のウエハ、(h)は半田層のウェットバック後のウエハ、(i)はプローブ検査中のウエハである。

## 【0019】実施例1

本発明のフリップチップICの構造としては、図2(h)に示すとく、半田バンプ5が形成されたバンプバッド8と接続された検査用バッド9を設けたものである。

【0020】その結果、(i)に示すとく半田バンプ5形成後のフリップチップICのプローブ検査においては、この検査用バッド9にプローブ6を接触して検査を行なえば、バンプ5に接触させないので、バンプ5を損

壊することが避けられる。また、この検査用バッド9の位置はウエハの電極2と同じ位置であるので、バンプ形成後の検査に用いるプローブカードはウエハの検査で用いたものと同じものが使用できる。

## 【0021】実施例2

次に、本発明のフリップチップICの製造方法について説明する。先ず、(a)に示すとくシリコンチップから成る半導体基体1にIC形成層10、その上にアルミニューム等から成る電極2が形成され、さらにその上に薄いポリイミド等のウエハ保護膜が施されたウエハが用意される。このウエハは電極2にプローブが当たれ特性検査がなされる。

【0022】次いで、電極2の部分を除いて全面にポリイミド等の第1保護膜11がバターニングされ、(b)のごとくなる。

【0023】次いで、電極2とバンプバッドが形成される領域12に渡って、金属膜(BLM膜)3が形成される。この金属膜3は例えば、クローム、銅、金を順次スパッタリングして形成する。この金属膜3は電極2と後述するバンプとの間の密着性を向上させ、かつ相互の拡散を防止する作用をなし、BLM膜(Ball Limiting Metal)と称される。この結果、(c)に示すようなウエハが得られる。

【0024】この金属膜に代えて、アルミニューム、アルミニューム合金例えは、Al-Si系合金、Al-Si-Cu系の合金を用いることもでき、その場合は後の工程で行なわれるリフトオフにおいて耐浸食性を高める効果がある。

【0025】次いで、電極2の部分とバンプバッド形成領域12を除いて、ポリイミド等から成る第2保護膜13を全面にバターニングして電極2の位置に検査用バッド9、バンプバッド形成領域12の位置にバンプバッド8が形成される。

【0026】次いで、バンプバッド8の周辺を除いて、厚膜レジスト14をバターニングする。この結果、(e)の様なウエハが得られる。

【0027】次いで、半田を蒸着し、半田層15を形成する。この結果、(f)の様なウエハが得られる。

【0028】次いで、バンプバッド8の周辺を除いて、レジスト膜とレジスト膜上の半田層15を剥離する。この結果、バンプバッド8上にのみ半田層が残された、(g)に示す様な、ウエハが得られる。

【0029】次いで、このウエハを加熱炉に入れ、加熱し半田層を溶融すると、(h)に示す如く半田層は球状に丸められる。これは通常ウェットバック工程と称せられる。

【0030】次いで、バンプが形成されたウエハの検査工程(i)において、検査用バッド9にプローブカードのプローブ(針)6を針立てし、このウエハの特性を検査する。

【0031】本発明のフリップチップICの製造方法においては、第2保護膜のバターンニング工程(d)において検査用パッド9を開口するのみで、他の工程に用いるマスクも変更することなく、本発明を実施できる。よって、従来方法に比しコストアップの要因もない。

【0032】本発明の実施例ではフリップチップIC及びその製造方法について、夫々一つの例によって説明したが、本発明の精神を逸脱しない範囲で、用いる材料、製造工程を選択して実施できることは当然である。

### 【0033】

【発明の効果】以上の説明から明らかなように、本発明によれば半田バンプ形成後のフリップチップICのプローブ検査において、検査用パッドにプローブを接触して検査を行なえば、バンプに接触させないので、バンプを損壊することが避けられる。

【0034】また、この検査用パッドはバンプ形成工程前の電極と同じ位置であるので、バンプ形成後の検査に用いるプローブカードはウェハ検査において用いたものをそのまま用いることができる。

### 【図面の簡単な説明】

【図1】本発明のフリップチップICの製造方法を各工程のウェハの側断面図で示したもので、(a)はウェハ加工後のウェハ、(b)は第1保護膜バターンニング後のウェハ、(c)は金属膜(BLM膜)被着後のウェハ、(d)は第2保護膜被着後のウェハである。

【図2】本発明のフリップチップICの製造方法を各工程のウェハの側断面図で示したもので、(e)は厚膜レジスト

\*ジストバターンニング後のウェハ、(f)は半田層形成後のウェハ(g)は半田層バターニング後のウェハ、(h)は半田層のウェットバック後のウェハ、(i)はプローブ検査中のウェハである。

【図3】通常のフリップチップICの斜視図。

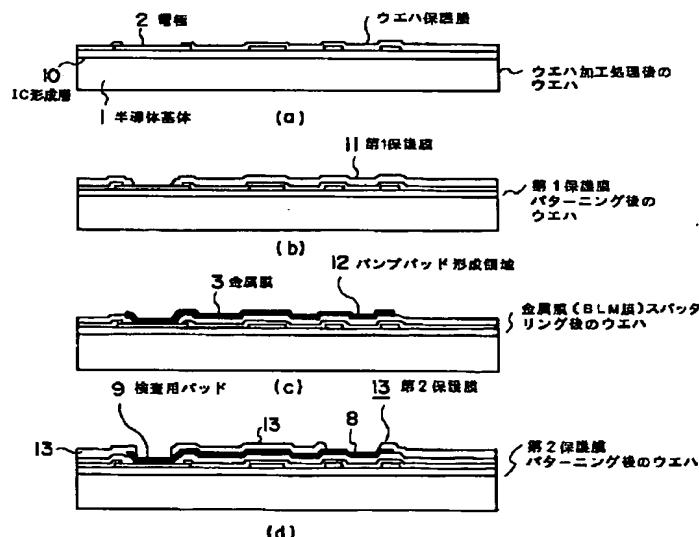
【図4】検査中の従来のフリップチップICの側断面図。

【図5】フリップチップICの検査に用いられるプローブカードの斜視図。

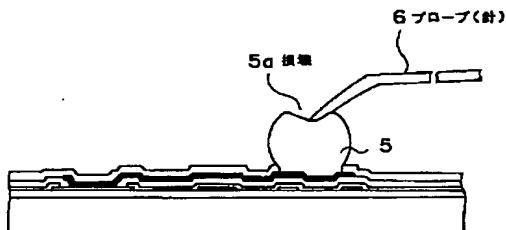
### 10 【符号の説明】

1	半導体基体
2	電極
3	金属膜(BLM膜)
4 a	エリヤ化した電極パッド
4 b	再配置した電極パッド
5	バンプ
5 a	損壊
6	プローブ(針)
7	プローブカード
8	バンプパッド
9	検査用パッド
10	IC形成層
11	第1保護層
12	バンプパッド形成領域
13	第2保護膜
14	厚膜レジスト
15	半田層

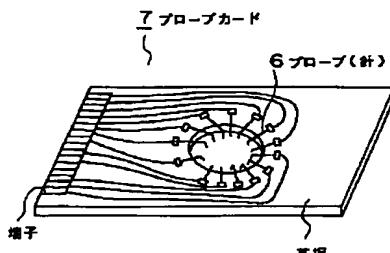
【図1】



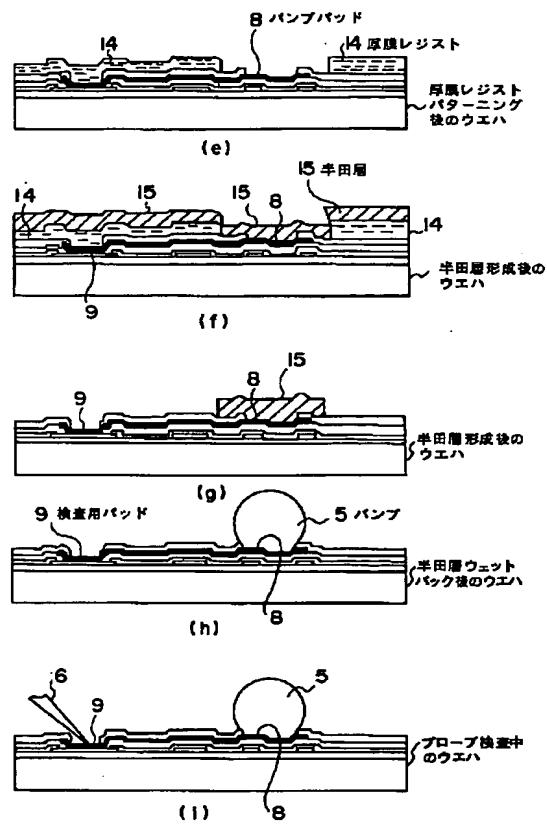
【図4】



【図5】



【図2】



【図3】

